

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-316024

(43)Date of publication of application : 20.12.1989

(51)Int.Cl.

H03M 1/10

(21)Application number : 63-148638

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 15.06.1988

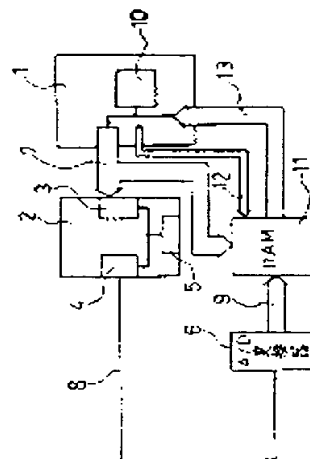
(72)Inventor : HAYASHI TOSHISHIGE

## (54) TEST EQUIPMENT FOR D/A CONVERTER

## (57)Abstract:

PURPOSE: To reduce the test time considerably by applying A/D conversion to a D/A conversion signal, storing the result sequentially to a storage element and comparing and discriminating an input data and a converted data stored by a tester after the end.

CONSTITUTION: A digital signal 7 is inputted to a D/A conversion section 3 of a device 2 to be measured by a tester and an analog signal 8 outputted from a device output section 4 becomes a digital signal 9 via an A/D converter 6 and is inputted to a RAM 11 as a data. Then an input/output control signal 12 is given to the RAM 11 and the signal 7 outputted from the tester 1 becomes an address input to the RAM 11 and the converted data 9 is stored in an address of the RAM 11. When all the signals 7 are D/A-converted and then A/D-converted and stored in the RAM 11, the signal 12 is inputted and a data 13 of the address of the RAM 11 is outputted. The tester 1 fetches the data 13 and a CPU 10 compares and discriminates the output data and the conversion data. Thus, the converted data is discriminated by the tester 1 altogether.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-316024

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)12月20日

H 03 M 1/10

D-6832-5J

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 D/A変換器のテスト装置

⑯ 特 願 昭63-148638

⑰ 出 願 昭63(1988)6月15日

⑱ 発 明 者 林 利 重 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

D/A変換器のテスト装置

2. 特許請求の範囲

(1) D/A変換機能を有する被測定デバイスのD/A変換部のテストを行う装置において、

上記被測定デバイスのD/A変換部にデータを入力するデータ入力手段と、

上記D/A変換部の出力を入力とするA/D変換器と、

該A/D変換器の出力を上記データ入力手段により指定されたアドレスに随時記憶する記憶手段と、

上記記憶手段の出力である変換データと、上記データ入力手段の入力データとを比較して判定するテスト手段と、

上記記憶手段に変換データを順次格納し、全ての入力データに対する変換データを格納した後、該変換データを順次上記テスト手段に出力するよう上記記憶手段の入出力を制御する制御手段とを

備えたことを特徴とするD/A変換器のテスト装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はD/A変換機能を有する半導体のD/A変換部のテストを行うD/A変換器のテスト装置に関するものである。

(従来の技術)

第2図は従来のD/A変換器のテスト装置の構成を示すブロック図であり、図において、1は半導体集積回路試験装置(以下、テストと称す)、2は被測定デバイス(以下、DUTと称す)、3はDUTのD/A変換部、4はDUTの出力部、5はDUTの中央処理装置(以下、CPUと称す)、6はA/D変換器、7はテストからDUTに入力するデジタル信号、8はD/A変換されたアナログ信号、9はA/D変換されたデジタル信号、10はテストのCPUである。

次に従来のD/A変換器のテスト装置の動作について説明する。

まず、テスト1からデジタル信号7をDUT2のD/A変換部3に人力し、D/A変換部3により変換されたアナログ信号8を外付けのA/D変換器6に人力する。このA/D変換器6により変換されたデジタル信号9をテスト1に人力し、このデジタル信号9とテスト1からDUT2のD/A変換部3に出力したデジタル信号7とをテスト1のCPU10で比較判定する。

〔発明が解決しようとする課題〕

従来のD/A変換器のテスト装置は以上のように、1つのデータをD/A変換し、変換データと入力データをテスト1で比較判定し、判定が終わると同様に次のデータを人力し、D/A変換して変換データと入力データとをテスト1で比較判定するという動作を繰り返していたため、あるデータのテスト1の判定が終わるまで次のデータの人力ができず、即ち、すべてのデータの判定が終了するまで次のデータの人力を待たなければならないので、テスト時間がかかるという問題点があった。

3

子に一旦格納して、全てのデータに対して変換が終了すると記憶素子に格納したデータを順次テストに送り込みテストで比較判定を行うようにしたので、変換データを一括して判定でき、テスト時間が短縮する。

〔実施例〕

以下、本発明の一実施例を図について説明する。

第1図は本発明の一実施例によるD/A変換器のテスト装置の構成を示すブロック図である。図において第2図と同一符号は同一部分を示し、11はRAM、12はRAM11の入出力制御信号、13はRAM11から出力されたデジタル信号である。テスト1から出力されたデジタル信号7はDUT2のD/A変換部3へ人力されるとともに、RAM11の番地（以下、アドレスと称す）にも人力され、また、RAM11にはテスト1からRAM11の入出力を制御する制御信号12が人力される。

次にD/A変換器のテスト装置の動作について説明する。

この発明は上記のような問題点を解消するためになされたもので、D/A変換機能を有するDUT2のD/A変換部3のテスト時間を短縮できるD/A変換器のテスト装置を提供することを目的とする。

〔課題を解決するための手段〕

この発明に係るD/A変換器のテスト装置は、テスト回路にD/A変換部への入力データにより指定されたアドレスに変換データを格納するための記憶素子を設け、D/A変換したアナログ信号をA/D変換器に人力し、この出力を記憶素子に順次格納し、全ての入力データに対して変換が終了すると記憶素子に格納した変換データを順次テストに送り込み、テストで入力データと変換データとを順次比較判定するようにしたものである。

〔作用〕

この発明においては、テスト回路に変換データを格納するための記憶素子を付加するようにし、D/A変換器により変換されたアナログ信号をA/D変換器に人力し、変換されたデータを記憶素

4

まず、テスト1からDUT2のD/A変換部3にデジタル信号7を人力し、DUT2により変換されたアナログ信号がDUT2の出力部4より出力され、A/D変換器6に人力される。A/D変換器6により変換されたデジタル信号9はRAM11にデータ入力される。ここで、テスト1からRAM11へ制御信号12を人力し、また、テスト1から出力されたデジタル信号7がRAM11のアドレス入力となり、RAM11のある番地へ変換データ9が格納される。全てのデジタル信号7がD/A変換され、再びA/D変換器6によりデジタル信号9に変換されてRAM11に格納されると、テスト1からRAM11へ入出力の制御信号12が人力され、RAM11からある番地のデータ13を出力させ、出力されたデータ13をテスト1に取り込み、テスト1のCPU10で出力データと変換データとを比較判定する。ここで、A/D変換されたデジタル信号9とRAM11から出力されたデジタル信号13とは同一である。つまり、本発明の方法ではデータを

5

6

D/A変換し、この変換データA/D変換してRAM11に格納するという動作をすべてのデータに対して行った後、RAM11から格納されたデータを出力させ、その出力データとDUT2のD/A変換部3への入力データをテスト1で比較し判定するという動作になっている。

このような上記実施例においては、以上のように変換データを格納するためのRAM11を設けたので、変換データを一括してテスト1で判定することができ、テスト時間を大幅に短縮できる。

なお、上記実施例では変換データをRAM11に格納する場合について示したが、これは電気的に書き込み消去が可能な記憶素子(EEPROM)に格納するようにしてもよく、この場合においても上記実施例と同様の効果を奏する。

(発明の効果)

以上のようにこの発明によれば、テスト回路に変換データを格納するための記憶素子を設け、入力データを被測定デバイスのD/A変換部に入力し、D/A変換されたアナログ信号をA/D変換

して記憶素子に順次格納し、全ての入力データに対して変換が終了すると記憶素子に格納した変換データを順次テストに送り込み、テストで入力データと変換データとを比較判定するようにしたので、評価解析等が行いやすくなり、また変換データを一括してテストで判定できるため、テスト時間を短縮できる効果がある。

#### 4. 図面の簡単な説明

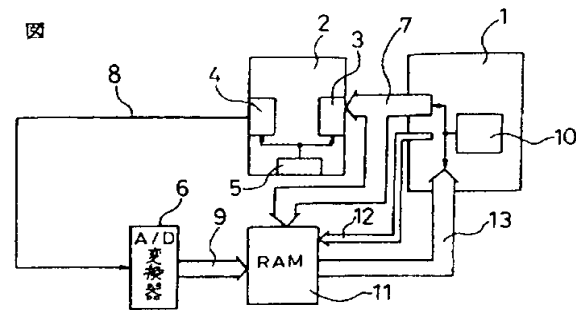
第1図は本発明の一実施例によるD/A変換器のテスト装置の構成を示すブロック図、第2図は従来のD/A変換器のテスト装置の構成を示すブロック図である。

1はテスト、2はDUT、3はDUTのD/A変換部、4はDUTの出力部、5はDUTのCPU、6はA/D変換器、7はテストから入力されるデジタル信号、8は変換されたアナログ信号、9はA/D変換されたデジタル信号、10はテストのCPU、11はRAM、12はRAMの入出力の制御信号、13はRAMから出力されたデジタル信号である。

なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

第 1 図



- |                    |                     |
|--------------------|---------------------|
| 1: テスタ             | 10: テスタのCPU         |
| 2: DUT             | 12: RAMの入出力制御信号     |
| 3: DUTのD/A変換部      | 13: RAMから出されたデジタル信号 |
| 4: DUTの出力部         |                     |
| 5: DUTのCPU         |                     |
| 7: テスタから入力するデジタル信号 |                     |
| 8: 変換されたアナログ信号     |                     |
| 9: A/D変換されたデジタル信号  |                     |

第 2 図

